# EXAMEN - DISEÑO DE CIRCUITOS INTEGRADOS DIGITALES

**ING. MARIANO MOREL**

**MAESTRÍA EN CIENCIAS DE LA INGENIERÍA – FIUBA**

**Ejercicio 1**

**A - Implemente el código RTL de un sincronizador para N bits de palabra de datos y un largo L de cantidad de flip-flops de resolución. El protocolo de handshaking debe ser de dos fases**.

module sincronizador (

input wire clk\_src, // Reloj del dominio de lanzamiento

input wire clk\_dst, // Reloj del dominio de captura

input wire [N-1:0] data\_in, // Datos de entrada en el dominio de lanzamiento

output reg [N-1:0] data\_out, // Datos de salida en el dominio de captura

input wire req, // Señal de solicitud del protocolo de handshaking

output reg ack // Señal de reconocimiento del protocolo de handshaking

);

parameter N = 8; // Número de bits en la palabra de datos

parameter L = 2; // Largo de flip-flops de resolución

reg [N-1:0] data\_sync [L-1:0]; // Arreglo para los flip-flops en el sincronizador

integer i;

always @(posedge clk\_src) begin

if (req) begin

data\_sync[0] <= data\_in; // Primera etapa del sincronizador

end

end

always @(posedge clk\_dst) begin

for (i = 1; i < L; i = i + 1) begin

data\_sync[i] <= data\_sync[i-1]; // Cadena de flip-flops de sincronización

end

data\_out <= data\_sync[L-1];

ack <= req; // Protocolo de handshaking

end

endmodule

**B- Suponga un proceso CMOS con los siguientes parámetros:**

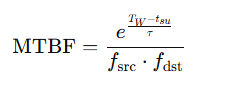
**TW = 75ns**

**τ0 = τ / (A − 1) = 0,23ns**

**tsu = 1ns**

**Si la frecuencia de operación del launching domain es de 20MHz y produce datos al mayor throuput posible, mientras que la frecuencia de operación capturing domain es de 200MHz, dimensione el/los sincronizador/es para un MTBF de 10 años.**

Para calcular el número de etapas de flip-flops necesarias en el sincronizador (L) para obtener el **Mean Time Between Failures (MTBF)** deseado de 10 años en el cruce de dominios de reloj, usamos la fórmula de MTBF para un sincronizador asíncrono en un proceso CMOS.



 TW​: Tiempo de ventana (setup + hold time) para la captura

 τ: Constante de resolución delsincronizador

 tsu​: Setup time del flip-flop

 fsrc​: Frecuencia del dominio de lanzamiento (20 MHz).

 fdst​: Frecuencia del dominio de captura (200 MHz).

MTBF (segundos) = 315.576.000 s --> incluye un día más por año bisiesto

Haciendo los cálculos correspondientes:

Valor requerido, despejando de la ecuación de MTBF:

TW​−tsu = 12.76ns

Valor actual, haciendo la resta directamente de los datos dados:

TW−tsu = 74 ns

Dado que el valor actual excede el valor requerido, **solo una etapa de flip-flop en el sincronizador es suficiente** para garantizar un MTBF de 10 años en este caso.

**C- Como se modificaría el MTBF manteniendo el mismo largo L pero teniendo 4 inversores en los lazos de cada flip-flop de resolución?**

Si agregamos 4 inversores en los lazos de cada flip-flop de resolución, esto afecta la constante de resolución del sincronizador τ ya está relacionada con la capacidad del circuito para resolver estados de meta-estabilidad. En un flip-flop, el lazo de realimentación que determina su estabilidad y velocidad de resolución está afectado por la cantidad de inversores, que incrementan la constante de tiempo de τ

Si consideramos que cada inversor contribuye linealmente al aumento de τ, entonces la nueva τ puede calcularse en función del número de inversores adicionales.

Supongamos que cada inversor añade una cantidad proporcional a la τ original. Entonces, si se agregan 4 inversores, la nueva constante de resolución podría aproximarse como:

τnew = τ (1 + k x ninv)

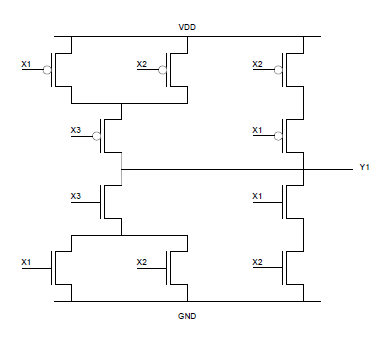
k: Factor de aumento de la constante de resolución por cada inversor

Como ejemplo, se asume un **incremento del 10% por cada inversor** en la constante de resolución. Con **4 inversores adicionales**, tenemos un τnew​ un 40% mayor que la τ original.

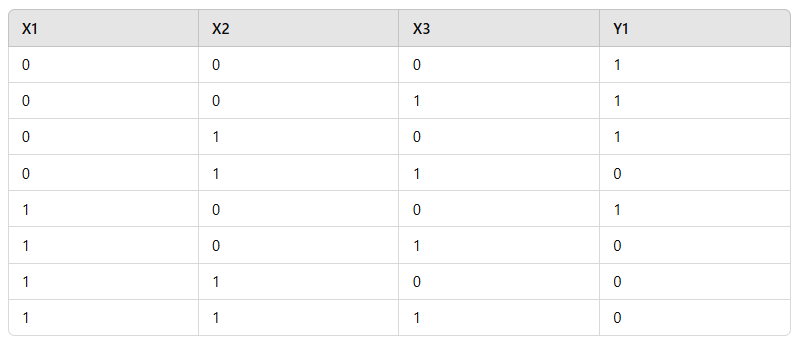
El MTBF daría mucho mayor a los 10 años, por lo que el sincronizador tendría nuevamente una probabilidad extremadamente baja de fallar en el cruce de dominios de reloj

**Ejercicio 2**

1. **Determine la función lógica del siguiente circuito:**



La tabla de verdad es:



Con las simplificaciones correspondientes aplicando algebra de Boole, la función lógica queda:



O lo que es equivalente por De Morgan a:

